

Möglichkeit zur Vereinfachung der EMV-Simulation gepulster Schaltnetzteile

Wolfgang Wegst, Heinz Rebholz,

Stichwörter: EMV, SPICE, Simulation, leitungsgeführte Störungen, (CE), Tiefsetzsteller, SMPS, CISPR 25, Automotive, Komponentenprüfung

Kurzfassung

Im Folgenden wird eine Methode zur einfachen, aussagekräftigen und praxisnahen EMV-Simulation von leitungsgeführten Störungen im vorgestellt. Die leitungsgeführten Störungen eines Schaltnetzteils (Tiefsetzsteller) werden durch SPICE-Simulationen realitätsnah nachgebildet. Der Frequenzbereich für die Simulationen erstreckt sich über die LW, MW, KW, UKW-Bänder bis hin zu 110 MHz. Grundlage für die Vergleichsmessungen ist die CISPR-25-Norm [1].

Die Simulation mit Geometrieersatzelementen für den induktiven Leitungsbelag der Leiterbahnen und die kapazitive Kopplung zur Massefläche konnte die Vergleichsmessung erfolgreich nachbilden. Die für die EMV-Simulation wichtigen Schaltungsteile konnten bei diesem Leistungsregler identifiziert und die Simulationsmodelle auf ein Minimum reduziert werden.

Einleitung

Im Kraftfahrzeug werden immer häufiger Leistungsregler verwendet, bei denen die Leistung durch schnelle Schaltvorgänge geregelt wird. Diese schnellen Schaltvorgänge verursachen Pulse, die sich auf den Versorgungsleitungen ausbreiten. Solche Pulse sind nicht gewünscht und werden als leitungsgeführte Störungen (Funkstörspannung) bezeichnet.

Um schon bei der Entwicklung von Steuergeräten eine Aussage über die zu erwartenden Störungen machen zu können und durch geeignete Abhilfemaßnahmen gegensteuern zu können, sind aussagekräftige Simulationsmodelle eine wichtige Grundlage. Diese sollen den aufwändigen und zeitraubenden Aufbau von Prototypen auf ein Minimum reduzieren und so Kosten sparen. Bei Simulationen sind jedoch auch immer der Aufwand der Erstellung und der Zeitbedarf zur Berechnung zu berücksichtigen. Eine genaue Abbildung der Realität ist bislang nicht möglich. Es müssen Modelle der wichtigsten Mechanismen geschaffen werden, die sich für die Simulation eignen.

In einigen Veröffentlichungen wurde schon auf die Simulation, leitungsgeführter Störungen eingegangen. Diese befassten sich entweder mit einem Frequenzbereich nur bis zu 30 MHz oder führten zu sehr komplexen und Mathematik belasteten Modellen, zum Beispiel Quelle [4].

Im Folgenden soll dargelegt werden, wie eine einfache Modellbildung zu realitätsnahen Simulationsergebnissen führen kann. Grundlage der Untersuchung ist der Leistungsregler LT1375-5 [2] von Linear Technology. Dieser Baustein beinhaltet die Regelelektronik und den Leistungstransistor, der mit einer Schaltfrequenz von 500 kHz angesteuert wird. Solch integrierte Bausteine mit einer Eingangsspannung von 12 V und einer Ausgangsleistung von 5 W können in Kraftfahrzeugen zur Spannungsversorgung von diversen kleinen Steuergeräten verwendet werden. Zur Messung der leitungsgeführten Störungen nach der CISPR-25-

Norm [1] wurde zusätzlich eine Bordnetznachbildung aufgebaut, um die Störspannungen am Messaufbau erfassen zu können. Diese wird zunächst näher beschrieben.

Hardwareaufbau

Die Bordnetznachbildung wird nach dem in Anhang D der CISPR-25-Norm [1] vorgeschlagenen Schaltplan aufgebaut. Im Längszweig befindet sich eine $5\ \mu\text{H}$ große Induktivität um einen Kurzschluss der Störspannung über die Batterie zu verhindern. Die Störspannung wird über $50\ \Omega$ abgegriffen.

Für die Messungen am Leistungsregler sind zwei unabhängige Bordnetznachbildungen notwendig um die Störspannungen auf der Hin- und Rückleitung abgreifen zu können. Diese werden im Hardwareaufbau auf einer Platine realisiert.

Die Bordnetznachbildung wird über 4-mm-Laborstecker an die Spannungsversorgung und den Leistungsregler angeschlossen. Die Messanschlüsse werden als SMA-Buchsen ausgeführt. Diese Bordnetznachbildung eignet sich auch für andere Laboraufbauten. Der eigene Aufbau der Bordnetznachbildung ist für eine genaue Modellbildung wichtig. Nur so besteht Kenntnis über die verwendeten Bauelemente und die genauen Abmessungen und Lage der Leiterbahnen.

Der Leistungsregler wurde in einfachster funktionsfähiger Weise aufgebaut. Auf zusätzliche Filter und Spannungsglättungsbauteile wurde bewusst verzichtet. Bei dem Leistungsregler handelt es sich um einen Baustein von Linear Technology [2], für den SPICE-Modelle in LTspice [3] vorhanden sind.

Der Leistungsregler LT1375-5 [2] wurde im SO-8 SMD-Gehäuse verwendet. Weiterhin wurde darauf geachtet, dass alle verwendeten Bauelemente den im Datenblatt [2] empfohlenen Werten entsprechen. Wenn möglich wurden SMD-Bauteile verwendet. Diese eignen sich für eine definierte Impedanzmessung, was für die Modellbildung wichtig ist. Auf bedrahtete Bauelemente konnte jedoch nicht komplett verzichtet werden. Die Bauelemente sind jeweils Standard-Bauelemente, wie sie auch in der industriellen Fertigung verwendet werden können.

Die Beschaltung des Bausteins wurde nach den Empfehlungen im Datenblatt [2] vorgenommen. Es wurden lediglich Leuchtdioden mit Vorwiderstand am Eingang und Ausgang hinzugefügt. Die Bauelemente wurden für einen Ausgangsstrom von $1\ \text{A}$ bei einer Ausgangsspannung von $5\ \text{V}$ und einer Schaltfrequenz von $500\ \text{kHz}$ gewählt. Weitere Informationen zur Beschaltung sind dem Datenblatt [2] zu entnehmen.

Im Layout (Abbildung 1) wurde versucht, die Design-Vorgaben des Herstellers [2] bestmöglich umzusetzen. Die Abstände der Eingangsbuchsen und Ausgangsbuchsen sind passend zur steckbaren Bordnetznachbildung und ebenso passend zum steckbaren Lastwiderstand gewählt worden. Dieser adaptive Laboraufbau (Abbildung 2) soll auch für weitere Untersuchungen noch Verwendung finden. Zum Beispiel zur Erstellung von Gesamtsystem-Modellen mit Verkabelung und anderer Last.

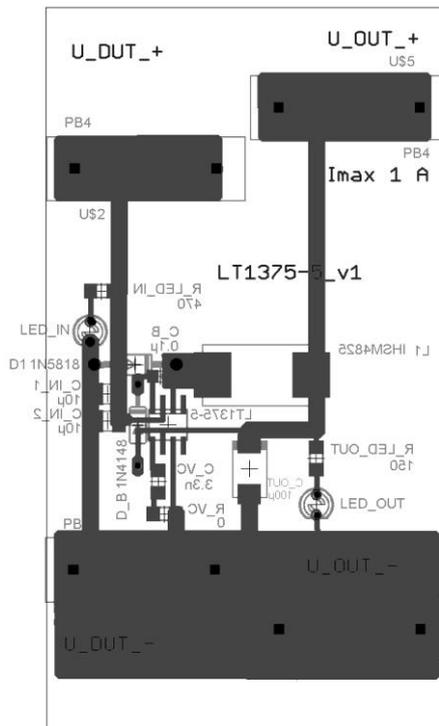
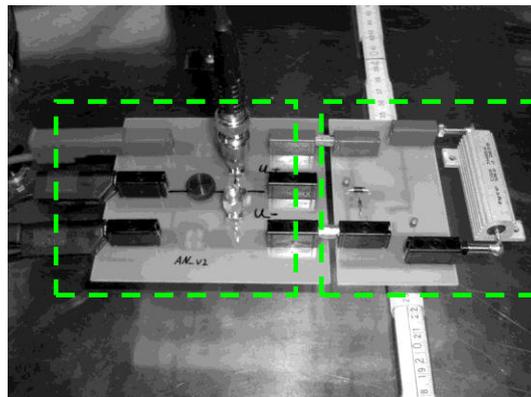


Abbildung 1: Schaltungslayout des Hardwareaufbaus mit dem Schaltregler LT1375-5

Bordnetznachbildung



Tiefstellsetzer
mit Last

Abbildung 2: Laboraufbau der Bordnetznachbildung (l.) und des Leistungsreglers(r.)

Messungen

Mit Hilfe des Messaufbaus können die vorgestellten Simulationsmodelle verifiziert werden. Die Bordnetznachbildung wird zunächst auf die Einhaltung der in der CISPR-25-Norm [1] angegebenen Anforderungen überprüft. Dabei sind die Eingangsimpedanz sowie die Mindestdämpfung in dem zu messenden Frequenzbereich vorgegeben.

Die Messungen zeigen, dass die erstellte Bordnetznachbildung im Bereich bis 80 MHz alle in der CISPR-25-Norm [1] geforderten Bedingungen erfüllt. Die Durchgangsdämpfung erfüllt mit Werten größer 30 dB nicht die geforderte Dämpfung von 40 dB, ist jedoch für die vorgestellte Anwendung ausreichend.

Der Leistungsregler wird im Folgenden im Zeitbereich untersucht. Dies hat den Vorteil, dass ein direkter Vergleich der Zeitsignale der Schaltimpulse in Messung und Simulation erfolgen

kann. Mit Hilfe der FFT-Transformation (Fast-Fourier-Transform) erfolgt die letztendliche Bewertung der Simulationsergebnisse im Frequenzbereich. Die Messungen bilden die Grundlage zur Verifikation der Simulationsergebnisse.

Der Messaufbau ist an die Vorschriften zur Komponentenprüfung der CISPR-25-Norm [1] angelehnt. In Abweichung zur Norm wurde die Bordnetznachbildung direkt über Steckverbindungen, und nicht wie vorgesehen über bis zu 20 cm lange Leitungen, mit dem Prüfling (Leistungsregler) verbunden. Diese Abweichung dient einer besseren Wiederholbarkeit der Messungen sowie einer Vereinfachung der Simulation. Somit ist es nicht nötig, die bis zu 20 cm langen Anschlussleitungen näher zu untersuchen. Ein ähnlicher Messaufbau mit Direktanschluss der Bordnetznachbildung an den Prüfling wurde in Quelle [4] schon erfolgreich verwendet. Die Spannungsversorgung erfolgt durch eine herkömmliche Autobatterie, die an die Bordnetznachbildung angeschlossen ist. Der Leistungsregler befindet sich 50 mm über der leitfähigen Tischplatte, die durch einen Masseanschluss mit der Massefläche der Bordnetznachbildung verbunden ist. Am Eingang der Bordnetznachbildung ist U_Batterie_minus mit GND verbunden um die Tischplatte auf U_Batterie_minus-Potential zu legen. Der geforderte Mindestabstand (200 mm) zum Rand der leitfähigen Tischplatte wird eingehalten. Der Ausgang des Leistungsreglers wird mit einem 5 Ω -Lastwiderstand beschaltet.

Für alle Messungen wurde am Oszilloskop eine Bandbegrenzung von 200 MHz eingestellt, da nur die Frequenzanteile bis 110 MHz von Interesse sind und schnellere Schwingungen nicht betrachtet werden.

Zur Messung der Störspannungen U_plus und U_minus werden die jeweiligen Messabgriffe, mit dem Messgerät verbunden.

Die Auswertung der Messungen und Simulationen erfolgt vorwiegend im Frequenzbereich. Deshalb werden die Störspannungen aus dem Zeitbereich mit Hilfe der Fourier-Transformation von MATLAB [5] in den Frequenzbereich abgebildet. Auch für die späteren Simulationen wird dieselbe Transformationsfunktion verwendet um Abweichungen hierdurch ausschließen zu können. Die Darstellung erfolgt letztendlich als logarithmische Größe - Spannungspegel über der Frequenz.

Modellbildung

Zur Erstellung der Simulationsmodelle sind die SPICE-Software LTspice [3] von Linear Technology und PCBMod von SimLab zum Einsatz gekommen.

LTspice [3] ist eine kostenlos erhältliche SPICE-Simulationssoftware der Firma Linear Technology. Sie wurde speziell für die Simulation von Schaltreglern auf Platineebene entwickelt.

Das Programm besteht aus einem herkömmlichen SPICE-Simulator, der durch eine Mixed-Mode-Simulationsfähigkeit erweitert wurde, die neue SPICE-Bausteine zur Makro-Modellbildung von Schaltreglern für Schaltnetzteile (SMPS) enthält.

Für die Simulation der Gesamtanordnung ist es notwendig geeignete Modelle für den Leistungsregler sowie die Bordnetznachbildung zu finden.

Ideale Bauelemente

Die bei SPICE-Simulationen normalerweise verwendeten Standard-Bauelemente weisen ein ideales Verhalten auf. Hierbei werden keine parasitären Effekte berücksichtigt. Dieses eignet sich somit jedoch nur bedingt um die Realität nachzubilden. Zur Demonstration der

Auswirkungen werden die Simulationsmodelle in einem ersten Schritt mit idealen Bauelementen aufgebaut und dann erst wird zu komplexeren Modellen übergegangen.

Reale Bauelemente

LTspice [3] bietet die Möglichkeit, Kapazitäten und Induktivitäten parasitäre Effekte zuzuweisen. Bauelemente mit diesen parasitären Eigenschaften werden im Folgenden als reale Bauelemente-Modelle bezeichnet.

Um aussagekräftige Modelle der realen Bauelemente zu erhalten ist es notwendig die Elemente über dem betrachteten Frequenzbereich zu vermessen. Mit Hilfe eines Impedanz-Analyzer (Agilent 4294A, 40 Hz – 110 MHz) erhält man die vorhandenen Werte der Impedanz über der Frequenz. Aus der Impedanzkurve lassen sich die parasitären Eigenschaften der Bauteile extrahieren und aufteilen zum Beispiel für einen Kondensator in ESR (equivalent series resistance) und ESL (equivalent series inductance).

Die Unterschiede der beiden Simulationsmodelle sind in Abbildung 3 für einen 100 μF -Kondensator dargestellt. Die Impedanzkurve des idealen Modells fällt immer weiter mit zunehmender Frequenz, während das reale Modell bei 300 kHz eine Resonanzstelle besitzt und ab dieser Frequenz ein induktives Verhalten aufweist.

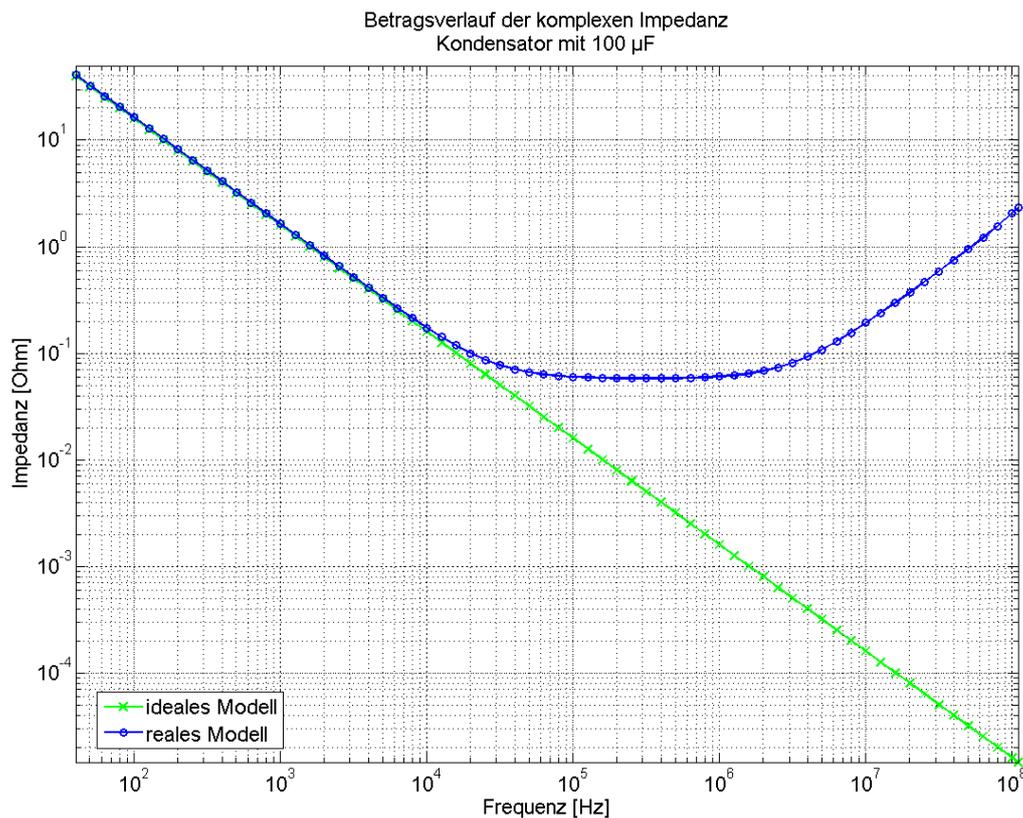


Abbildung 3: Impedanzverhalten eines idealen und realen Bauteilmodells für einen 100 μF -Kondensator

Reale Bauelemente und Geometrienachbildung

Für realitätsnähere Simulationsergebnisse muss nach Quelle [4] die Geometrie der Schaltung mit in die Simulation eingehen. Diese wurde in dem dort vorgestellten Versuch durch die PEEC-Methode in Ersatzbauelemente umgesetzt. Für die Abbildung der Geometrie in die Simulationsmodelle wird hier die Software PCBMod [6] von SimLab verwendet.

Bei der Software PCBMod [6] handelt es sich um eine Simulationsumgebung für EMV-Simulationen, die für die industrielle Erstellung von Platinen entwickelt wurde. Mittels eines zwei- und dreidimensionalen Feldlösers und eines Netzwerksimulators können verschiedenste EMV-Probleme untersucht werden.

Das Schaltungslayout wird vereinfacht (Abbildung 4) in PCBMod übertragen und eine 50 mm entfernte Massefläche, wie im CISPR-25-Messaufbau [1], hinzugefügt.

Dünne Leiterbahnen werden vernachlässigt, da diese nur durch eine sehr feine Vernetzung ausreichend gut nachgebildet werden können. Eine solch feine Vernetzung würde die Simulation jedoch sehr vergrößern und mehr Speicher im Simulationsrechner erfordern. Deshalb die Vereinfachung, dass nur die breiten Leiterbahnen, die zudem die größten Ströme führen, nachgebildet werden.

Über die PEEC-Methode bildet PCBMod [6] ein Simulationsmodell zu der Schaltungsgeometrie. Dieses Modell steht dann dem programminternen Netzwerksimulator als Modell zur Verfügung, welches ähnlich wie in einer SPICE-Umgebung beschaltet werden kann.

Aus den so erhaltenen Modellen werden die Kapazitäten gegen die umgebende Massefläche sowie die Leitungsinduktivitäten bestimmt.

Mit Hilfe von PCBMod [6] wird jetzt jeweils die Impedanz zwischen den Bauteilanschlusspunkten simuliert und dann in Ersatzinduktivitäten oder Ersatzkapazitäten umgerechnet.

Um die Kapazität zu ermitteln wird die Impedanz Z an einem Port gegen Masse simuliert, während die anderen Anschlüsse hochohmig abgeschlossen sind. Dieses Vorgehen muss für jedes zusammenhängende Leiterbahnstück wiederholt werden. An 100 MHz wird somit der Betrag der Impedanz ermittelt und in einen äquivalenten Kapazitätswert umgerechnet nach

$$C = \frac{1}{Z \cdot 2 \cdot \pi \cdot f} \quad (1)$$

Für die Simulation des induktiven Leitungsbelages wurde die Impedanz zwischen den Anschlusspunkten simuliert und wieder bei 100 MHz der Impedanzwert zur Berechnung diesmal der Ersatzinduktivität

$$L = \frac{Z}{2 \cdot \pi \cdot f} \quad (2)$$

verwendet.

Für alle Geometrie-Simulationen werden die Ersatzinduktivitäten und Ersatzkapazitäten so, unter Vernachlässigung des Widerstandsbelages, ermittelt.

Vorteil dieses Vorgehens ist, dass die Geometrie durch sehr wenige Ersatzbauelemente abgebildet wird, während die von PCBMod [6] erstellten SPICE-Exportmodelle sehr umfangreich sind. Die Nachbildung der Geometrie besteht somit aus rein passiven Bauelementen.

Die so bestimmten Geometrieersatzbauelemente werden entsprechend des Layouts in die Schaltung eingefügt. Jede zusammenhängende Leiterbahn wird durch eine Kapazität und mehreren zwischen den Bauteilanschlüssen liegenden Induktivitäten abgebildet (Abbildung 4).

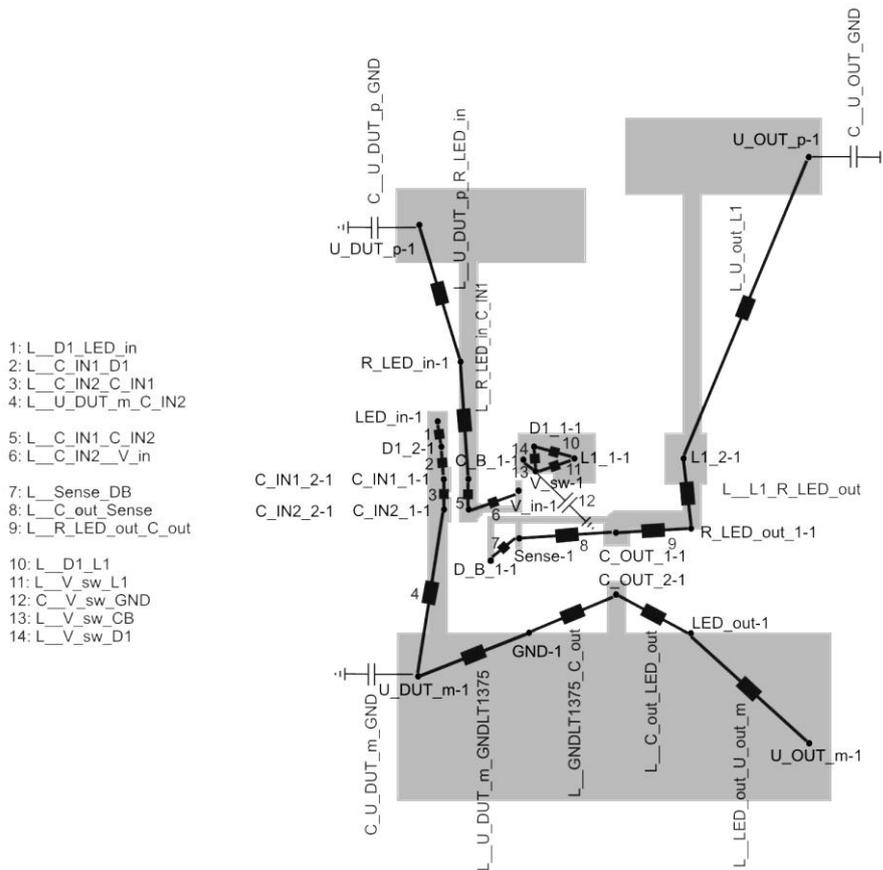


Abbildung 4: Vereinfachtes Layout in PCBMod mit eingezeichneten Ersatzelementen

Vergleich der Ergebnisse aus Messung und Simulation

Die Mess- und Simulationsergebnisse sind in den Abbildungen 5 und 6 exemplarisch für die Störspannung U_{plus} dargestellt. Ein Vergleich für die Störspannung U_{minus} führt zur gleichen Aussage.

Alle Simulationsmodelle zeigen hinreichend genaue Simulationsergebnisse bis zu einer Frequenz von 2 MHz. Es ist jedoch deutlich erkennbar, dass die Modelle mit idealen Bauelementen sowie die Simulation mit realen Bauelementen (Abbildung 5) ohne Strukturbetrachtung mit zunehmender Frequenz vom gemessenen Modell abweichen. Die Simulation mit idealen Elementen zeigt bereits bei 10 MHz Abweichungen von ca. 40 dB zum Messmodell, die Simulation mit realen Elementen ca. 20 dB.

Nur eine Simulation mit realen Elementen sowie die Berücksichtigung der Layoutgeometrie zeigt eine ausreichende Übereinstimmung über dem gesamten Frequenzbereich bis 110 MHz (Abbildung 6).

Die Simulationsdauer des Gesamtmodells beträgt ca. 180 Minuten. Aus den Simulationsergebnissen leitet sich die Schlussfolgerung ab, dass für eine aussagekräftige Simulation alleine die Betrachtung der verwendeten Bauelemente nicht ausreichend ist. Es müssen die Effekte des induktiven Leitungsbelages und der kapazitiven Kopplung, die durch die Geometrie der Schaltung hervorgerufen werden, durch geeignete Modelle in der Simulation repräsentiert werden. Nur so ist eine qualitative Aussage, ähnlich zu einer Messung mit einer SPICE-Simulation möglich. Diese bereits aussagekräftigen Simulationsmodelle bilden die Grundlage für die weiteren Untersuchungen zur Vereinfachung der Simulation.

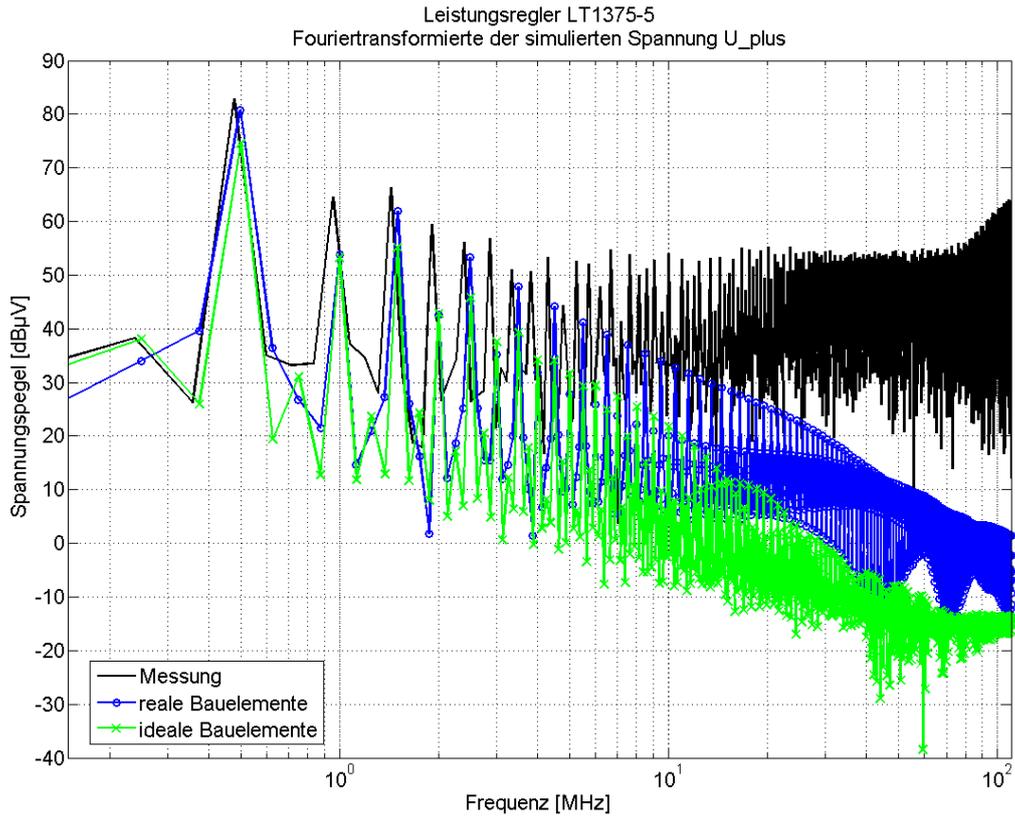


Abbildung 5: Mess- und Simulationsergebnisse mit idealen und realen Bauteilmodellen

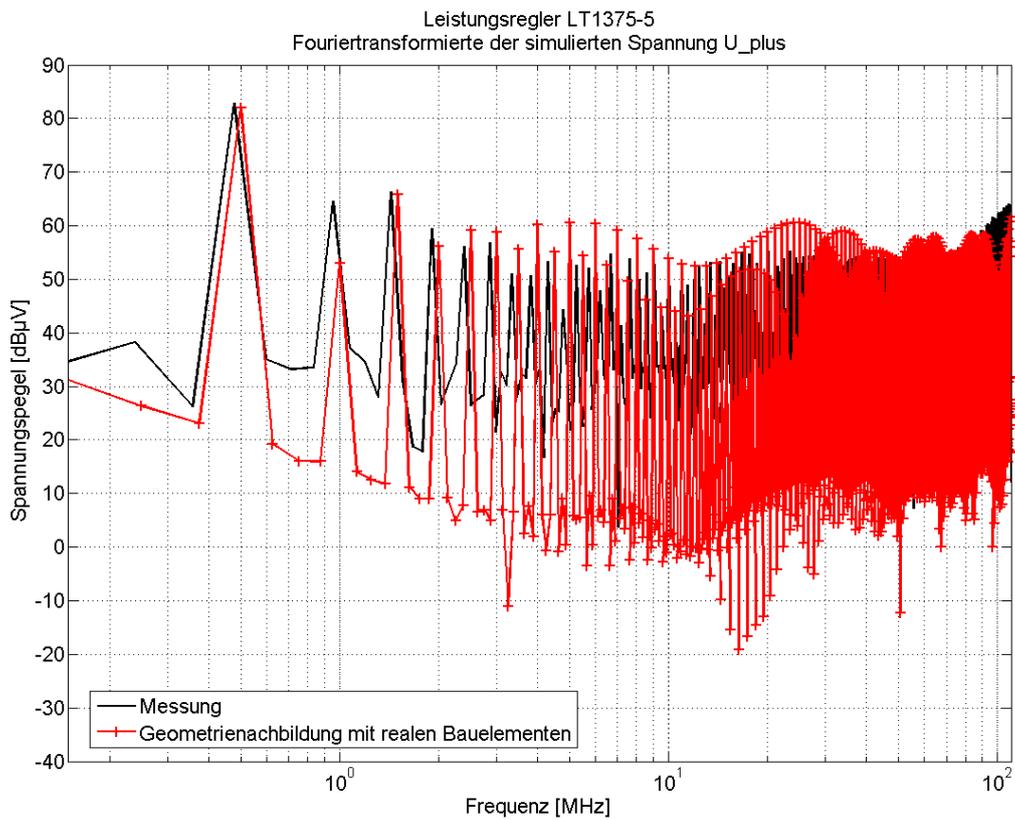


Abbildung 6: Mess- und Simulationsergebnisse mit Geometrienachbildung

Weitere Untersuchungen und Vereinfachungen

Die erstellten SPICE-Modelle, die die Schaltung ausreichend genau nachbilden, sind sehr komplex, mit einer hohen Anzahl an Bauelementen und langer Rechenzeit. Im Folgenden wird untersucht, in wieweit sich die bereits gewonnenen Modelle, ohne das Ergebnis zu verfälschen, in ihrer Komplexität reduzieren lassen. Es sollen zusätzlich die für die EMV-Simulation entscheidenden Bauelemente ausgemacht werden, um diese auf andere ähnliche Schaltungen übertragen zu können.

Die Bordnetznachbildung wurde bislang in der Simulation in der komplexesten Form verwendet, welche zu der langen Berechnungsdauer beiträgt. In diesem Fall wird die Bordnetznachbildung durch 11 zusätzliche Induktivitäten zur Abbildung des induktiven Leitungsbelags und 4 zusätzlichen Kapazitäten zur Beachtung der Kopplung zur Massefläche modelliert. Ein Vergleich der Gesamtanordnung mit komplexer Bordnetznachbildung sowie der Gesamtanordnung mit vereinfachtem LISN-Modell zeigt kaum Einfluss auf die Simulationsergebnisse. Somit ist es zulässig die Bordnetznachbildung für weitere Simulationen mit idealen Elementen ohne die Leitungsinduktivitäten und Koppelkapazitäten darzustellen. Es können so alleine beim Simulationsmodell der Bordnetznachbildung 15 Bauelemente eingespart werden.

Bei der Untersuchung der für die EMV-Simulation relevanten Bauelemente stellte sich heraus, dass es unerlässlich ist laststromführende Leistungspfade (Abbildung 7) sowie die HF-Pfade (Abbildung 7) über die Eingangskapazitäten des Leistungsreglers in der Simulation zu berücksichtigen. Werden nur diese Leiterbahnen als Ersatzbauelemente in der Simulation abgebildet und die Bordnetznachbildung mit idealen Bauelementen simuliert, wird eine Simulationsdauer von ca. 75 Minuten anstatt 180 Minuten erreicht. Diese Verkürzung ist auf die geringere Anzahl an Bauelementen zurückzuführen. Beim reduzierten Leistungsregler konnten 7 der ursprünglich 20 Ersatzinduktivitäten eingespart werden. Die restlichen Schaltungsteile wurden nur durch die verwendeten konzentrierten Bauelemente in der Simulation repräsentiert. Die Simulationsergebnisse sind in der Abbildung 8 dargestellt.

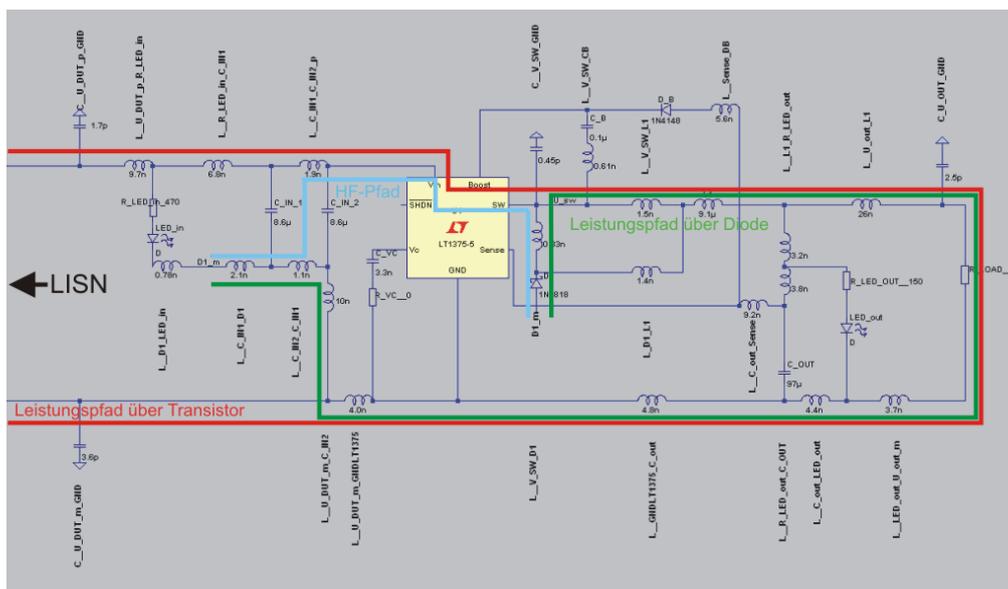


Abbildung 7: Simulationsmodell mit allen Ersatzelementen und eingezeichneten Leistungspfaden. Bei der Reduktion werden nur die Ersatzinduktivitäten auf den eingezeichneten Pfaden mitsimuliert.

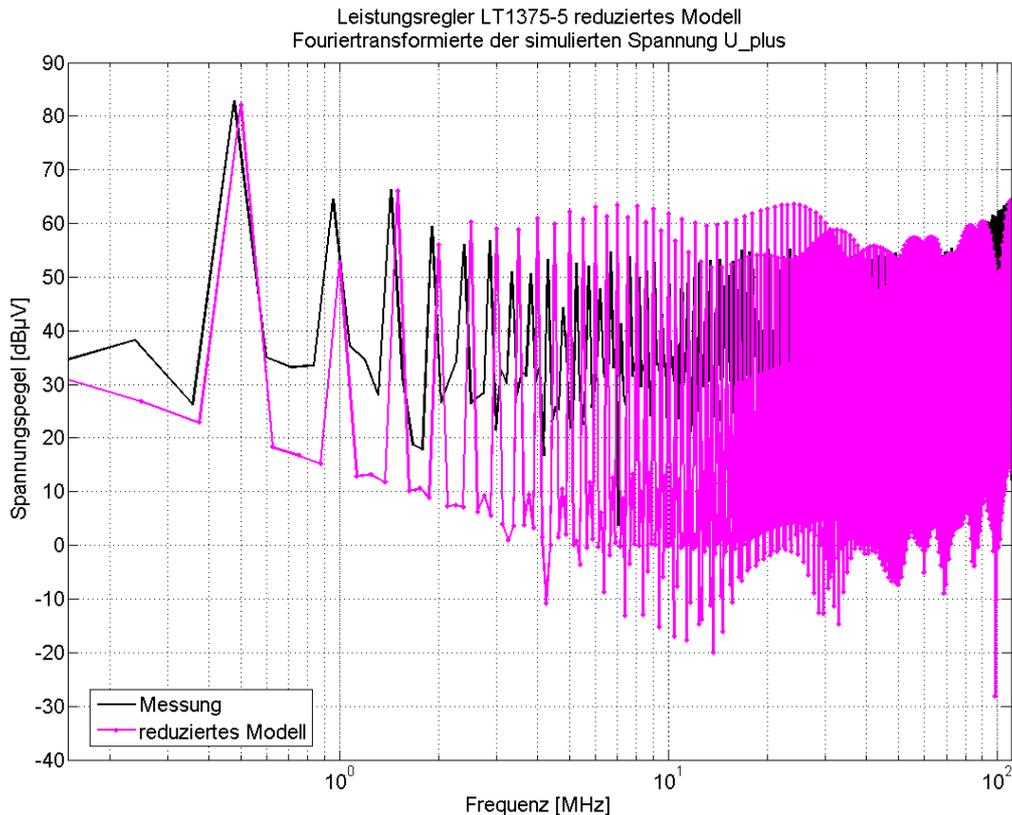


Abbildung 8: Mess- und Simulationsergebnisse mit reduziertem Modell

Schlussfolgerungen

Es wurde gezeigt, dass sich durch einfache Simulationsmodelle die Messung von leitungsgeführten Störungen nach dem CISPR-25-Aufbau [1] für den Leistungsregler nachbilden lässt. Weiterhin ist es nicht notwendig alle auf dem PCB vorhandenen Leiterbahnen in der Simulation zu berücksichtigen. Die durchgeführten Untersuchungen wurden an einem zweiten Leistungsregler mit höherer Ausgangsleistung und externen Schalttransistoren [7] wiederholt, welches zu vergleichbar guten Simulationsergebnissen führte.

Die wichtigsten Punkte sind, dass das Layout vorhanden sein muss um die Geometrie in die Simulation abzubilden. Hierbei müssen vor allem die induktiven Leitungsbeläge der leistungstragenden Leiterbahnen ausreichend genau abgebildet werden. Eine Simulation nur mit den Bauelementen der Schaltung ohne den Einfluss der Geometrie ist nur bis zu wenigen Megahertz aussagekräftig.

Literatur:

- [1] International Special Committee on Radio Interference, CISPR 25, Second Edition 2002-08
- [2] Linear Technology, Datasheet LT1375 - 1,5 A 500 kHz Step-Down Switching Regulators, LT0306 REV D
- [3] Linear Technology SwitcherCAD III/LTspice Users Guide
- [4] A new technique for spectral analysis of conducted noise of a SMPS including interconnects, Teulings, W.; Schanen, J.L.; Roudet, J. Power Electronics Specialists Conference, 1997.
- [5] MathWorks Inc., MATLAB, Version 7 2004
- [6] SimLab Software GmbH, PCBMod Users Manual, PCBMod Suite 2006-I, PCBMod Version 4.7_1.6
- [7] Linear Technology, Datasheet LTC1778 – Wide Operating Range, No RSENSE Step-Down Controller, LT/LT 0405 REV B